

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-157217

(43)Date of publication of application : 16.06.2005

(51)Int.Cl.

G09G 3/30

G09G 3/20

H05B 33/14

(21)Application number : 2003-399339

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 28.11.2003

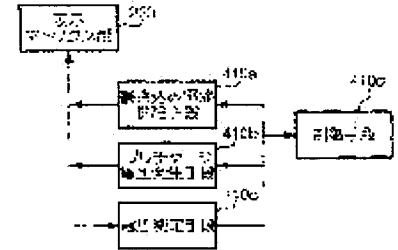
(72)Inventor : MIYAZAWA TAKAO

(54) DISPLAY DEVICE AND DRIVING METHOD OF DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid occurrence of variation in a precharge effect under circumstances that variation is present in threshold voltage of a drive transistor included in a current drive type pixel circuit.

SOLUTION: Prior to writing internal states according to light emitting gradation in the current drive type pixel circuits arranged correspondingly to intersection between a plurality of data lines and a plurality of scanning lines, precharge voltage which should be impressed to the data lines is specified as follows. First, predetermined current is supplied to the pixel circuits via the data lines and after supply of the current, the precharge voltage is specified according to voltage which appears on the data lines.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-157217

(P2005-157217A)

(43) 公開日 平成17年6月16日(2005.6.16)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 H	3K007
G09G 3/20	G09G 3/20 611H	5C080
H05B 33/14	G09G 3/20 621A	
	G09G 3/20 631V	
	G09G 3/20 641D	
審査請求 有 請求項の数 14 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2003-399339 (P2003-399339)
 (22) 出願日 平成15年11月28日 (2003.11.28)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅善
 (74) 代理人 100107076
 弁理士 藤綱 英吉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 宮澤 孝雄
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 Fターム(参考) 3K007 AB17 BA06 DB03
 5C080 AA06 BB05 DD03 DD05 DD14
 DD30 EE28 FF11 GG12 JJ02
 JJ03 JJ04 JJ05

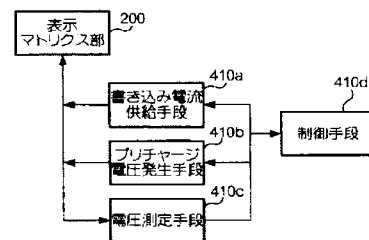
(54) 【発明の名称】 表示装置および表示装置の駆動方法

(57) 【要約】

【課題】 電流駆動型の画素回路に含まれている駆動トランジスタの閾値電圧にばらつきがある状況下で、プリチャージの効果にばらつきが生じないようにすること。

【解決手段】 複数のデータ線と複数の走査線との交差に対応して配設された電流駆動型の画素回路に発光階調に応じた内部状態を書き込むことに先立って、該データ線に印加しておくべき電圧であるプリチャージ電圧を以下のようにして特定する。まず、上記データ線を介して所定の電流を上記画素回路へ供給しその供給後に上記データ線に現れる電圧に応じて上記プリチャージ電圧を特定する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数の走査線との交差に対応して設けられた電流駆動型の複数の画素と、
所定の電流を前記複数のデータ線を介して対応する前記画素へ供給する供給手段と、
前記画素へ発光階調に応じた内部状態を設定する際に前記画素が接続されている前記データ線へ予め印加しておくべき電圧であるプリチャージ電圧を、前記供給手段により前記所定の電流を供給した後に前記データ線に現れる電圧に応じて特定する特定手段と
を備えたことを特徴とする表示装置。

【請求項 2】

前記特定手段により特定されたプリチャージ電圧を前記画素と対応付けて記憶する記憶手段を有する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記供給手段により前記所定の電流が供給された後に、前記データ線に現れる電圧を測定する測定手段を有し、

前記特定手段は、前記測定手段により測定された電圧を前記プリチャージ電圧として特定する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記供給手段は、少なくとも電源投入時に前記所定の電流を前記画素へ供給する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記供給手段により前記画素へ供給される前記所定の電流は、前記画素を低階調で発光させる場合に対応する電流である

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記複数の画素がマトリクス状に配列されている表示領域を有し、

前記供給手段は、前記表示領域に配列されている全ての前記画素へ前記所定の電流を供給し、

前記特定手段は、前記表示領域に配列されている全ての前記画素毎に前記プリチャージ電圧を特定する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記複数の画素がマトリクス状に配列されている表示領域を有し、

前記供給手段は、前記表示領域における選択された 1 行に属する前記画素へ前記所定の電流を供給し、

前記特定手段は、前記供給手段により前記所定の電流を供給された前記画素毎に前記プリチャージ電圧を特定し、その平均を前記 1 行に属する前記画素についての前記プリチャージ電圧として特定する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 8】

前記複数の画素がマトリクス状に配列されている表示領域を有し、

前記供給手段は、前記表示領域の予め定められた 1 または複数の行（または列）に属する前記画素に前記所定の電流を供給し、

前記特定手段は、前記供給手段により前記所定の電流が供給された前記画素毎に前記プリチャージ電圧を特定し、前記表示領域における該プリチャージ電圧の分布に基づいて、前記表示領域に配列されている前記画素の各々について前記プリチャージ電圧を最適化する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 9】

前記複数の画素がマトリクス状に配列されている表示領域を有し、

前記供給手段は、前記表示領域の辺に沿ってその外側に設けられているキャリブレーション用の画素に前記所定の電流を供給し、

前記特定手段は、前記キャリブレーション用の画素毎に前記プリチャージ電圧を特定し、該プリチャージ電圧の分布に基づいて、前記表示領域に配列されている前記複数の画素の各々について前記プリチャージ電圧を最適化する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 10】

前記キャリブレーション用の画素は、発光素子を有していないダミー画素である

10

ことを特徴とする請求項 9 に記載の表示装置。

【請求項 11】

画像を表示するために前記表示領域に配列されている画素が接続されている第 1 のデータ線と、前記キャリブレーション用の画素が接続されている第 2 のデータ線とを切り替えて前記供給手段に接続する切り替え手段を有し、

前記第 2 のデータ線の長さが前記第 1 のデータ線の長さよりも短くなるように前記キャリブレーション用の画素が配置されている

ことを特徴とする請求項 9 または 10 に記載の表示装置。

【請求項 12】

前記画素の温度を検出する温度検出手段を有し、

20

前記特定手段は、前記データ線に現れる電圧と前記温度検出手段により検出された温度とに基づいて、前記プリチャージ電圧を特定する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 13】

複数のデータ線と複数の走査線との交差に対応して設けられた電流駆動型の複数の画素に、該複数のデータ線を介して所定の電流を供給する第 1 のステップと、

前記画素へ発光階調に応じた内部状態を設定する際に前記画素が接続されている前記データ線へ予め印加しておくべき電圧であるプリチャージ電圧を、前記所定の電流の供給後に前記データ線に現れる電圧に応じて特定する第 2 のステップと

を有する表示装置の駆動方法。

30

【請求項 14】

前記第 1 のステップでは、前記複数の画素がマトリクス状に配列されている表示領域の予め定められた 1 または複数の行（または列）に属する前記画素に前記所定の電流を供給し、

前記第 2 のステップでは、前記所定の電流が供給された前記画素毎に前記プリチャージ電圧を特定し、該プリチャージ電圧の前記表示領域における分布に基づいて、前記表示領域に配列されている前記画素の各々について前記プリチャージ電圧を最適化する

ことを特徴とする請求項 13 に記載の表示装置の駆動方法。

【発明の詳細な説明】**【技術分野】**

40

【0001】

この発明は、電流駆動型の画素回路の発光階調に応じた内部状態の設定を高速化する技術に関する。

【背景技術】**【0002】**

近年、有機 EL 素子 (Organic Electro Luminescent element) を用いた電気光学装置が開発されている。有機 EL 素子は自発光素子であり、バックライトが不要である。このため、有機 EL 素子を用いた表示装置は、低消費電力、広視野角、高コントラスト比を達成することができるものと期待されている。なお、本明細書において、「電気光学装置」とは、電気信号を光に変換する装置を意味している。電気光学装置の最も普通の形態は、

50

画像を表す電気信号を画像を表す光に変換する装置であり、特に表示装置として好適である。

【0003】

図13は、有機EL素子を用いた表示装置の一般的な構成を示すブロック図である。この表示装置は、表示マトリクス部（以下、「表示領域」とも呼ぶ）120と、走査線ドライバ130と、データ線ドライバ140とを有している。表示マトリクス部120は、マトリクス状に配列された複数の画素回路110を有しており、各画素回路110には、有機EL素子220がそれぞれ設けられている。このようにマトリクス状に配列された画素回路110の各々には、その列方向に沿って伸びる複数のデータ線 X_m ($m=1, 2\cdots M$)と、行方向に沿って伸びる複数の走査線 Y_n ($n=1, 2\cdots N$)とがそれぞれ接続されている。 10

【0004】

図14は、画素回路110の内部構成の一例を示す回路図である。この画素回路110は、 m 番目のデータ線 X_m と n 番目の走査線 Y_n との交差に配置されている回路である。なお、走査線 Y_n は2本のサブ走査線 V_1 と V_2 とを含んでいる。この画素回路110は、データ線 X_m に流れる電流に応じて有機EL素子220の発光階調を調整する電流駆動型の回路である。具体的には、画素回路110は、有機EL素子220の他に、4つのトランジスタ211~214と、保持キャパシタ230とを有している。保持キャパシタ230は、データ線 X_m を介して供給されたデータ信号に応じた電荷を保持し、これによって有機EL素子220の発光を調節するためのものである。すなわち、保持キャパシタ230は、データ線 X_m に流れる電流に応じた電圧を保持する電圧保持手段に相当する。第1ないし第3のトランジスタ211~213は、 n チャンネル型FET (Field Effect Transistor) であり、第4のトランジスタ214は p チャンネル型FETである。有機EL素子220は、フォトダイオードと同様の電流注入型（電流駆動型）の発光素子なので、ここでは、ダイオードの記号で描かれている。 20

【0005】

第1のトランジスタ211のソースは、第2のトランジスタ212のドレインと、第3のトランジスタ213のドレインと、第4のトランジスタ214のドレインと、にそれぞれ接続されている。第1のトランジスタ211のドレインは、第4のトランジスタ214のゲートに接続されている。保持キャパシタ230は、第4のトランジスタ214のソースとゲートとの間に接続されている。また、第4のトランジスタ214のソースは、電源電位 V_{dd} にも接続されている。 30

【0006】

第2のトランジスタ212のソースは、データ線 X_m を介してデータ線ドライバ140に接続されている。有機EL素子220は、第3のトランジスタ213のソースと接地電位との間に接続されている。第1のトランジスタ211のゲートと第2のトランジスタ212のゲートは、第1のサブ走査線 V_1 に共通に接続されている。また、第3のトランジスタ213のゲートは、第2のサブ走査線 V_2 に接続されている。

【0007】

第1のトランジスタ211と第2のトランジスタ212は、保持キャパシタ230に電荷を蓄積する際に利用されるスイッチングトランジスタである。第3のトランジスタ213は、有機EL素子220の発光期間においてオン状態に保たれるスイッチングトランジスタである。また、第4のトランジスタ214は、有機EL素子220に流れる電流値を制御するための駆動トランジスタである。この第4のトランジスタの電流値は保持キャパシタ230に保持される電荷量（蓄積電荷量）によって制御される。 40

【0008】

図15は、画素回路110の通常の動作を示すタイミングチャートである。図15には、第1のサブ走査線 V_1 の電圧値（以下、「第1のゲート信号 V_1 」）と、第2のサブ走査線 V_2 の電圧値（以下、「第2のゲート信号 V_2 」）と、データ線 X_m の電流値 I_{out} （以下、「データ信号 I_{out} 」）と、有機EL素子220に流れる電流値 I_{EL} とが 50

示されている。

【0009】

駆動周期 T_c は、プログラミング期間 T_{pr} と発光期間 T_{el} とに分かれている。ここで、「駆動周期 T_c 」とは、表示マトリクス部120内の全ての有機EL素子220の発光階調が1回ずつ更新される周期を意味しており、いわゆるフレーム周期と同じものである。階調の更新は、1行分の画素回路群毎に行われ、駆動周期 T_c の間にN行分の画素回路の階調が順次更新される。例えば、30Hzで全画素回路の更新が行われる場合には、駆動周期 T_c は約33msである。

【0010】

プログラミング期間 T_{pr} は、有機EL素子220の発光階調を画素回路110内に設定する期間である。本明細書では、画素回路110への階調の設定を「プログラミング」と呼んでいる。例えば、駆動周期 T_c が約33msであり、走査線 Y_n の総数Nが480本である場合には、プログラミング周期 T_{pr} は約69 μ s以下になる。

【0011】

プログラミング期間 T_p では、まず、第2のゲート信号 V_2 をLレベルに設定して第3のトランジスタ213をオフ状態に保つ。次に、データ線に発光階調に応じた電流値 I_m を流しながら、第1のゲート信号 V_1 をHレベルに設定して第1のトランジスタ211と第2のトランジスタ212とをオン状態にする。このとき、データ線ドライバ140は、発光階調に応じた一定の電流値 I_m を流す定電流源として機能する。

【0012】

保持キャパシタ230には、第4のトランジスタ214（駆動トランジスタ）を流れる電流値 I_m に応じた電荷が保持され、この結果、第4のトランジスタ214のソース／ゲート間には、保持キャパシタ230に記憶された電圧が印加される。なお、本明細書では、プログラミングに用いられるデータ信号の電流値 I_m を「プログラミング電流 I_m 」と呼ぶ。プログラミングが終了すると、走査線ドライバ130が第1のゲート信号 V_1 をLレベルに設定して第1のトランジスタ211と第2のトランジスタ212とをオフ状態とし、また、データ線ドライバ140はデータ信号 I_{out} の出力を停止する。

【0013】

発光期間 T_{el} では、第1のゲート信号 V_1 をLレベルに維持して第1のトランジスタ211と第2のトランジスタ212とをオフ状態に保ったまま、第2のゲート信号 V_2 をHレベルに設定して第3のトランジスタ213をオン状態に設定する。保持キャパシタ230には、プログラミング電流値 I_m に対応した電圧が予め記憶されているので、第4のトランジスタ214にはプログラミング電流値 I_m と略同じ電流が流れる。このため、有機EL素子220にもプログラミング電流値 I_m と略同じ電流が流れ、この電流値 I_m に応じた階調で発光する。

【0014】

図13に示す表示装置では、以上に説明した手順で各画素回路110に含まれている有機EL素子220の発光を制御している。しかしながら、このような構成で大型表示パネルを構成しようとするすると、各データ線の静電容量 C_d が大きくなってしまい、データ線の駆動に多大な時間を要してしまうといった問題点がある。このような問題点を解決するための技術としては、特許文献1に開示された技術が挙げられる。特許文献1には、画素回路110に発光階調に応じた電流を書き込むこと（以下、「内部状態の設定」という）に先立って、画素回路110が接続されているデータ線に電源電位 V_{dd} を書き込んで充電または放電の加速を行う技術が開示されている。以下では、電流駆動型の画素回路に発光階調に応じた内部状態の設定に先立って、その画素回路が接続されているデータ線に所定の電圧を書き込んで充電または放電を加速させることを「プリチャージ」と呼び、このようにしてデータ線に書き込まれる電圧を「プリチャージ電圧」と呼ぶ。

【特許文献1】国際公開第01/006484号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0015】

ところで、上記画素回路において駆動トランジスタが飽和領域で動作するものとする、駆動トランジスタのドレイン／ソース間に流れる電流（すなわち、有機EL素子に流れる電流：以下、 I_{ds} ）は以下の式で与えられる。

〔数1〕

$$I_{ds} = (\mu_p \cdot \epsilon \cdot Wp) / (2 \cdot t_{ox} \cdot Lp) (V_{gs} - V_{th})^2$$

ただし、 V_{gs} はゲート／ソース間電圧、 V_{th} は閾値電圧、 Wp はチャネル幅、 Lp はチャネル長、 μ_p は正孔移動度、 t_{ox} はゲート絶縁膜厚、 ϵ はゲート絶縁体誘電率である。

【0016】

ここで、上記駆動トランジスタの閾値電圧 V_{th} が各画素回路110毎に異なっている場合には、有機EL素子220を同一階調で発光させる場合であっても保持キャパシタ230へ書き込まれるべき電圧も各画素回路毎に異なってしまう。このように保持キャパシタ230へ書き込まれるべき電圧が各画素回路毎に異なっている場合には、その電圧の書き込みに先立って予めデータ線に印加されるべきプリチャージ電圧の最適値も各画素回路毎に異なるものになってしまう。これに対して、特許文献1に開示されている技術では、プリチャージ電圧 V_p として常に電源電位 V_{dd} を用いている。このため、特許文献1に開示された技術では、プリチャージの効果をも十分に得られない事態が起こり得る。具体的には、図16に示されているように、プリチャージ電圧 V_p がその最適値である V_{opt} に比較して大きすぎる場合や、小さすぎる場合には、プログラミング期間が経過した時点でも、保持キャパシタ230に記憶されている電圧（すなわち、駆動トランジスタのゲート電圧）にばらつきが生じてしまう。駆動トランジスタのゲート電圧にばらつきが生じてしまうと、有機EL素子220に流れる電流にばらつきが生じて、各有機EL素子220の発光階調にばらつきが生じてしまう。つまり、表示画質が劣化してしまう。このことは、低階調で有機EL素子220を発光させる際に特に顕著に現れる。その理由は、有機EL素子220を低階調で発光させる場合に対応する電流はその電流値が小さいため、その電流に応じた電圧を保持キャパシタ230に書き込むことに要する時間が長くなってしまい、上記プログラミング期間の間に十分な書き込みが行えない場合があるからである（以下、「書き込み不足」と呼ぶ）。

【0017】

本発明は、上記課題に鑑みて為されたものであり、電流駆動型の画素回路に含まれている駆動トランジスタの閾値電圧にばらつきがある状況下で、プリチャージの効果にばらつきが生じないようにする技術を提供することを目的としている。

【課題を解決するための手段】

【0018】

本発明は、上記課題を解決するために、複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数の走査線との交差に対応して設けられた電流駆動型の複数の画素と、所定の電流を前記複数のデータ線を介して対応する前記画素へ供給する供給手段と、前記画素へ発光階調に応じた内部状態を設定する際に前記画素が接続されている前記データ線へ予め印加しておくべき電圧であるプリチャージ電圧を、前記供給手段により前記所定の電流を供給した後に前記データ線に現れる電圧に応じて特定する特定手段とを備えたことを特徴とする表示装置を提供する。

このような表示装置によれば、上記所定の電流で上記画素の内部状態を設定することによって上記データ線に現れる電圧に応じて上記プリチャージ電圧が特定される。このようにして特定されるプリチャージ電圧は、各画素を実際に駆動させて特定されるものである。このため、係るプリチャージ電圧でプリチャージを行えば、各画素に含まれている駆動トランジスタの閾値電圧にばらつきがある場合であっても、プリチャージによる効果にばらつきが発生しないといった効果を奏する。

【0019】

より好ましい態様においては、上記表示装置は、上記特定手段により特定されたプリチ

10

20

30

40

50

ヤージ電圧と上記画素と対応付けて記憶する記憶手段を有している。このような態様においては、各画素毎に特定されたプリチャージ電圧がその画素に対応付けて上記記憶手段に記憶される。一般に、プリチャージ電圧の最適値を正確に特定するためには、書き込み時間を十分に長くする必要がある、実際の画像表示時に比較して所要時間が長くなる。しかしながら、このような態様によれば、例えば、工場出荷時などに1回だけプリチャージ電圧の特定を行い上記記憶手段に記憶させておくことが可能になり、プリチャージ電圧の特定をその都度行う場合に比較して、その特定に要する所要時間を節約することが可能になるといった効果を奏する。

【0020】

より好ましい態様においては、上記表示装置は、上記供給手段により所定の電流が供給された後に、データ線に現れる電圧を測定する測定手段を有し、上記特定手段は、該測定手段により測定された電圧をプリチャージ電圧として特定する。このようにして特定されるプリチャージ電圧は、上記画素を実際に駆動させることによって上記データ線に現れたものであるから、上記画素に含まれている駆動トランジスタの閾値にばらつきがある場合であっても、プリチャージによる効果にばらつきが発生しないといった効果を奏する。

【0021】

より好ましい態様においては、上記表示装置は、少なくとも電源投入時に上記所定の電流を上記供給手段により画素へ供給する。このような態様においては、少なくとも表示装置の電源が投入された時に各画素毎に上記プリチャージ電圧が特定される。これにより、経年劣化により駆動トランジスタの閾値電圧が変化した場合などであっても、その時点の閾値電圧に応じてプリチャージ電圧が特定されるといった効果を奏する。

【0022】

より好ましい態様においては、上記供給手段により各画素へ供給される所定の電流は、その画素を低階調で発光させる際に要する電流である。一般に、低階調に対応するプログラミング電流はその電流値が小さくなってしまい、前述した書き込み不足が顕著に現れる傾向がある。しかしながら、低階調に対応する電流で内部状態の設定を行ったことに起因してデータ線に現れる電圧に応じて特定されたプリチャージ電圧でプリチャージを行うことにより、上記書き込み不足を回避することが可能になるといった効果を奏する。

【0023】

より好ましい態様においては、上記表示装置は、複数の画素がマトリクス状に配列された表示領域を有し、上記供給手段は、その表示領域に配列されている全ての画素へ所定の電流を供給し、上記特定手段は、各画素毎にプリチャージ電圧を特定する。このような態様においては、表示領域に配列されている全ての画素について、その画素を実際に駆動させることによってプリチャージ電圧が特定されることになる、このため、各画素に含まれている駆動トランジスタの閾値電圧にばらつきがある場合であっても、プリチャージによる効果にばらつきが発生しないといった効果を奏する。

【0024】

より好ましい態様においては、上記表示装置は、複数の画素がマトリクス状に配列されている表示領域を有し、上記供給手段は、上記表示領域における選択された1行に属する画素へ上記所定の電流を供給する。そして、上記特定手段は、上記供給手段により所定の電流を供給された画素毎にプリチャージ電圧を特定し、その平均を上記1行に属する画素についてのプリチャージ電圧として特定する。このような態様においては、上記選択された1行に属する画素について特定されたプリチャージ電圧がその行単位で平均化され、キャリブレーションによる誤差が低減されるといった効果を奏する。

【0025】

より好ましい態様においては、上記表示装置は、複数の画素がマトリクス状に配列された表示領域を有し、上記供給手段は、その表示領域の予め定められた1または複数の行（または列）に属する画素に上記所定の電流を供給する。そして、上記特定手段は、上記所定の電流が供給された画素毎にプリチャージ電圧を特定する一方、そのプリチャージ電圧の上記表示領域内における分布に基づいて、その表示領域に配列されている画素の各々に

ついてプリチャージ電圧を最適化する。このような態様においては、表示領域に含まれる全ての画素を実際に駆動させて各画素毎にプリチャージ電圧を特定する場合に比較して、最適なプリチャージ電圧の特定に要する所要時間が短縮されるとともに、その特定結果を記憶するための記憶容量を削減することが可能になるといった効果を奏する。

【0026】

より好ましい態様においては、上記表示装置は、複数の画素がマトリクス状に配列された表示領域を有し、前記供給手段は、その表示領域の辺に沿ってその外側に設けられているキャリブレーション用の画素に所定の電流を供給する。そして、上記特定手段は、上記キャリブレーション用の画素毎にプリチャージ電圧を特定し、そのプリチャージ電圧の分布に基づいて、表示領域に配列されている画素の各々についてプリチャージ電圧を最適化する。このような態様においては、上記キャリブレーション用の画素は表示領域の辺に沿ってその外側に設けられているため、表示領域の表示品質に大きな影響を与えることなく、最適なプリチャージ電圧の特定と実際の画像表示とを同時に行うことが可能になるといった効果を奏する。

10

更に別の好ましい態様においては、上記キャリブレーション用の画素は、発光素子を有していないダミー画素である。このような態様によれば、係るダミー画素を用いてプリチャージ電圧の特定を行っても、実際に発光することがないため、表示領域の表示品質に与える影響が更に小さくなるといった効果を奏する。

更に別の好ましい態様においては、上記表示装置は、画像を表示するために前記表示領域に配列されている画素が接続されている第1のデータ線と、上記キャリブレーション用の画素が接続されている第2のデータ線とを切り替えて供給手段に接続する切り替え手段を有し、第2のデータ線の長さが第1のデータ線の長さよりも短くなるように上記キャリブレーション用の画素が配置されている。このような態様によれば、上記キャリブレーション用の画素は、画像表示用の画素が接続されているデータ線とは異なるデータ線に接続されているため、前者の浮遊容量による影響が緩和され、プリチャージ電圧の特定に要する時間を短くすることが可能になるといった効果を奏する。

20

【0027】

より好ましい態様においては、上記表示装置は、画素の温度を検出する温度検出手段を有し、上記特定手段は、データ線に現れた電圧と該温度検出手段により検出された温度とに基づいて、上記プリチャージ電圧を特定する。このような態様においては、実際の画像表示時に画素回路に含まれている駆動トランジスタの閾値電圧がその駆動トランジスタの温度が上昇したことに起因して変化した場合であっても、その時点の閾値電圧に応じてプリチャージ電圧が特定されるといった効果を奏する。

30

【0028】

また、本発明は、上記課題を解決するために、複数のデータ線と複数の走査線との交差に対応して設けられた電流駆動型の複数の画素に、該複数のデータ線を介して所定の電流を供給する第1のステップと、上記画素に発光階調に応じた内部状態を設定する際に、その画素が接続されているデータ線に予め印加しておくべきプリチャージ電圧を、上記所定の電流の供給後にそのデータ線に現れる電圧に応じて特定する第2のステップとを有する表示装置の駆動方法を提供する。

40

このような駆動方法によれば、上記画素に含まれている駆動トランジスタの閾値電圧にばらつきがある場合であっても、各画素毎にプリチャージ電圧がその画素を実際に駆動させることによって特定される。このようにして特定されたプリチャージ電圧でプリチャージを行うことにより、プリチャージによる効果を均一にすることが可能になるといった効果を奏する。

【0029】

より好ましい態様においては、上記第1のステップでは、複数の画素がマトリクス状に配列されている表示領域の予め定められた1または複数の行（または列）に属する画素に上記所定の電流が供給され、上記第2のステップでは、上記所定の電流が供給された画素毎にプリチャージ電圧を特定し、該プリチャージ電圧の上記表示領域における分布に基づ

50

いて、その表示領域に配列されている画素の各々についてプリチャージ電圧が最適化される。

このような態様においては、上記表示領域に含まれる全ての画素を実際に駆動させて各画素毎にプリチャージ電圧を特定する場合に比較して、最適なプリチャージ電圧の特定に要する所要時間が短縮されるとともに、その特定結果を記憶するための記憶容量を削減することが可能になるといった効果を奏する。

【発明を実施するための最良の形態】

【0030】

以下、図面を参照しつつ本発明を実施するための最良の形態について説明する。

【A. 構成】

10

図1は、本発明の一実施形態に係る表示装置の概略構成の一例を示すブロック図である。図1に示されているように、この表示装置は、コントローラ100と、表示マトリクス部200と、走査線ドライバ300と、データ線ドライバ400とを有している。コントローラ100は、表示マトリクス部200に表示を行わせるための走査線駆動信号とデータ線駆動信号とを生成して、走査線ドライバ300とデータ線ドライバ400にそれぞれ供給する。

【0031】

図2は、表示マトリクス部200とデータ線ドライバ400の内部構成を示す図である。図2に示されているように、表示マトリクス部200には、マトリクス状に配列された複数の画素回路110（図14参照）が含まれている。この画素回路110のマトリクスには、その列方向に向かって伸びる複数のデータ線 X_m （ $m=1\sim M$ ）と、行方向に向かって伸びる複数の走査線 Y_n （ $n=1\sim N$ ）とがそれぞれ接続されている。本明細書では、画素回路110を「単位回路」あるいは「画素」とも呼ぶ。なお、本実施形態では、図14に示す画素回路110が表示マトリクス部200にマトリクス状に配列されている場合について説明するが、表示マトリクス部200に配列される画素回路は、前述した電流駆動型の画素回路であれば他の回路構成であっても良いことは勿論である。また、本実施形態では、画素回路110に含まれている全てのトランジスタがFETで構成されているものとしたが、一部または全部のトランジスタをバイポーラトランジスタや他の種類のスイッチング素子で置き換えることも可能である。また、この種のトランジスタとしては、薄膜トランジスタ（TFT: Thin Film Transistor）に加えて、シリコンベースのトランジスタも採用可能である。

20

30

【0032】

コントローラ100（図1参照）は、表示マトリクス部200の表示状態を表す表示データ（画像データ）を各有機EL素子220の発光の階調を表すマトリクスデータに変換する。マトリクスデータは、1行分の画素回路群を順次選択するための走査線駆動信号と、選択された画素回路群の有機EL素子220に供給するデータ信号のレベルを示すデータ線駆動信号とを含んでいる。走査線駆動信号は走査線ドライバ300に供給され、データ線駆動信号はデータ線ドライバ400に供給される。また、コントローラ100は、走査線とデータ線の駆動タイミングのタイミング制御を行う。

【0033】

40

走査線ドライバ300は、複数の走査線 Y_n の中的一本を選択的に駆動して1行分の画素回路群を選択する。データ線ドライバ400は、各データ線 X_m をそれぞれ駆動するための複数の単一ラインドライバ410を有している。これらの単一ラインドライバ410は、各データ線 X_m を介して画素回路110にデータ信号を供給する。このデータ信号に応じて画素回路110の内部状態がプログラミングされると、これに応じて有機EL220に流れる電流値が制御され、その結果、有機EL素子220の発光の階調が制御される。

【0034】

前述したように、画素回路110の内部状態の設定が完了した時点では、その画素回路110が接続されているデータ線 X_m には、その画素回路110に含まれている駆動トラ

50

ンジスタのゲート電圧が現れる。本実施形態では、上記プログラミングが完了した後にデータ線に現れる電圧を測定するための仕組みが単一ラインドライバ410に設けられており、その仕組みにより測定された電圧に基づいてプリチャージ電圧が特定される。このように、本実施形態に係る単一ラインドライバ410により特定されるプリチャージ電圧は、画素回路110を実際に駆動させて得られたものであるから、その画素回路110に含まれている駆動トランジスタの閾値電圧にばらつきがある場合であっても、プリチャージによる効果にばらつきが発生することはない。以下では、単一ラインドライバ410を中心に説明する。

【0035】

図3は、単一ラインドライバ410の基本構成の一例を示す図である。本実施形態では、この単一ラインドライバ410は1つのICチップとして構成されており、書き込み電流供給手段410aと、プリチャージ電圧発生手段410bと、電圧測定手段410cと、これら各構成要素を制御する制御手段410dとを含んでいる。

【0036】

書き込み電流供給手段410aは、画素回路110へ書き込むべき電圧を発生してデータ線Xmへ出力するためのものである。具体的には、この書き込み電流供給手段410aは、プリチャージ電圧を特定するために画素回路110へ書き込む電流（以下、「キャリブレーション電流」）や、画素回路110の内部状態を設定するための電圧を発生しデータ線Xmへ出力するためのものである。本実施形態では、上記キャリブレーション電流として、画素回路110に含まれている有機EL素子220を低階調（例えば、全階調範囲が0～255の場合には、階調値が1～10程度の範囲の階調）で発光させる場合に対応する電圧を用いる場合について説明する。これは、上記低階調に対応する電圧で画素回路110の内部状態を設定する際に、前述した書き込み不足が顕著になるので、このような低階調に対応する電圧を用いて実際に画素回路110を駆動させ、プリチャージ電圧を特定しそのプリチャージ電圧でプリチャージを行うことによって、係る書き込み不足を回避するためである。このように、本実施形態では、上記キャリブレーション電流として、有機EL素子220を低階調で発光させる場合に対応する電圧を用いる場合について説明するが、より高階調に対応する電圧を用いても良いことは勿論である。以下では、上記キャリブレーション電流で画素回路110の内部状態を設定しプリチャージ電圧を特定することを「キャリブレーション」と呼ぶ。

【0037】

電圧測定手段410cは、上記キャリブレーション電流を画素回路110へ供給した後、データ線Xmに現れる電圧を測定し該画素回路110についてのプリチャージ電圧を特定するためのものである。プリチャージ電圧発生手段410bは、電圧測定手段410cにより測定されたプリチャージ電圧をデータ線Xmに印加して前述したプリチャージを行うためのものである。

【0038】

そして、制御手段410dは、書き込み電流供給手段410a、プリチャージ電圧発生手段410bおよび電圧測定手段410cを以下に説明する手順で順次作動させ、本発明に係るプリチャージ電圧の特定方法を実現するものである。すなわち、制御手段410dは、第1のステップとして、上記キャリブレーション電流を書き込み電流供給手段410aに発生させデータ線Xmを介して画素回路110へ供給させる。次いで、制御手段410dは、第2のステップとして、上記キャリブレーション電流による書き込みが充分に行われるまで待機し、その書き込みによってデータ線Xmに現れた電圧を上記電圧測定手段410cにより測定し、測定された電圧をプリチャージ電圧として特定する。

【0039】

以降、実際の画像表示を行う際には、制御手段410dは、以上のようにして特定されたプリチャージ電圧を上記プリチャージ電圧発生手段410bによりデータ線Xmに印加した後に、上記書き込み電流供給手段410aにより表示データに応じた電流をデータ線Xmに出力させる。なお、本実施形態では、書き込み電流供給手段410a、プリチャージ

ジ電圧発生手段 410b および電圧測定手段 410c を単一ラインドライバ 410 に組み込んでおく場合について説明したが、これら各手段を表示マトリクス部 200 に組み込んでおくとしても良いことは勿論である。

【0040】

以上、本実施形態に係る単一ラインドライバ 410 の基本構成を説明したが、係る単一ラインドライバ 410 の具体的な構成例としては、図 4 に示すような構成が挙げられる。図 4 の電流 DAC 510 は、上述した書き込み電流供給手段 410a (図 3 参照) に相当し、スイッチ S1 を介してデータ線 Xm に接続されている。また、Vp DAC 520 と Vp データ生成手段 530 とは、上述したプリチャージ電圧発生手段 410b (図 3 参照) に相当し、スイッチ S2 を介してデータ線 Xm に接続されている。この Vp DAC 520 と Vp データ生成手段 530 とは、スイッチ S3 を介してそのマイナス端子がデータ線に接続されているコンパレータ 540 とともに電圧測定手段 410c (図 3 参照) としても機能する。このコンパレータ 540 のプラス端子は上記 Vp DAC 520 に接続されており、その出力端子は、Vp データ生成手段 530 に接続されている。そして、図 4 の記憶手段 550 は、上述した制御手段 410d の内部に設けられたメモリであり、本発明に係るプリチャージ電圧の特定方法を実行することにより特定されたプリチャージ電圧を画素回路 110 毎に記憶するためのものである。

【0041】

[B. 動作]

次いで、図 4 に示す単一ラインドライバ 410 が行う動作について図面を参照しつつ説明する。なお、以下に説明する動作例では、データ線を介して単一ラインドライバ 410 に接続されて全ての画素回路が順次選択され、各画素回路毎にプリチャージ電圧の特定が行われるものとする。なお、以下に説明する動作例の前提として、プリチャージ電圧を特定すべき画素回路が既に選択済みであるものとする。

【0042】

図 5 は、キャリブレーション動作時におけるスイッチ S1、S2 および S3 の動作を示すタイミングチャートである。図 5 に示されているように、キャリブレーション動作時には、スイッチ S2 は開状態のまま保持される。制御手段 410d は、まず、上述したキャリブレーション電流に応じたデータ 1 を電流 DAC 510 へ入力する。次いで、制御手段 410d は、スイッチ S1 を閉じる。これにより、電流 DAC 510 から上記キャリブレーション電流 Idata がデータ線へ出力される。

【0043】

次いで、制御手段 410d は、上記キャリブレーション電流による画素回路 110 への書き込みが充分に行われるまで待機した後に、スイッチ S3 を閉じる (図 5 参照)。これにより、データ線に現れた電圧がコンパレータ 540 のマイナス端子へ入力される。そして、制御手段 410d は、Vp DAC 520 に電圧 Vp を出力させるためのデータ 2 を Vp データ生成手段 530 に生成させ、そのデータ 2 を Vp DAC 520 へ入力させる。このようにしてデータ 2 を入力された Vp DAC 520 は、電圧 Vp を出力するが、スイッチ S2 が開いているため (図 5 参照)、Vp DAC 520 から出力された電圧 Vp はコンパレータ 540 のプラス端子へ印加される。

【0044】

一方、制御手段 410d は、コンパレータ 540 の出力端子から H レベルの信号が出力されるまで、Vp データ生成手段 530 を制御して Vp DAC 520 の出力電圧 Vp を変化させて行く。図 6 は、コンパレータ 540 のマイナス端子への入力信号 (in1) と、プラス端子への入力信号 (in2) と、コンパレータ 540 の出力端子から出力される出力信号 (out3) との関係を表す図である。図 6 に示されているように、コンパレータ 540 は、マイナス端子への入力信号 (in1) よりもプラス端子への入力信号 (in2) が大きくなった時点で H レベルの出力信号 (out3) を出力する。前述したように、コンパレータ 540 のマイナス端子にはデータ線に現れている電圧が印加されており、プラス端子には Vp DAC 520 の出力電圧 Vp が印加されている。このため、コンパレー

タの出力信号がHレベルになった時点の上記電圧 V_p は、データ線に現れている電圧と一致する。制御手段410dは、このようにして測定された電圧 V_p をプリチャージ電圧として特定し画素回路110と対応付けて記憶手段550へ書き込む。その後、制御手段410dは、スイッチS1およびS3を開き、画素回路110に対するキャリブレーションを完了する。

【0045】

以降、制御手段410dは、上記記憶手段に格納したプリチャージ電圧 V_p を用いてプリチャージを行う。具体的には、制御手段410dは、図7に示されているようにスイッチS1およびS2を動作させ、スイッチS2を閉じている期間においては、上記プリチャージ電圧に応じたデータ2を V_p データ生成手段530に出力させる。その結果、データ線には電圧 V_p が印加されることになる。

【0046】

以上に説明したように、本実施形態に係る表示装置では、各画素回路毎に特定されたプリチャージ電圧がその画素回路に対応付けて記憶手段に記憶されるため、例えば工場出荷時に全ての画素回路を駆動させて各画素回路毎にプリチャージ電圧を特定し記憶手段に格納しておくことが可能である。プリチャージ電圧を正確に特定するためには、通常の画像表示時よりも長い書き込み時間を要するが、このような態様によれば、表示装置の動作段階でその都度プリチャージ電圧を特定する必要がなく、プリチャージ電圧の特定に要する時間を節約することが可能になるといった効果を奏する。なお、上記記憶手段の記憶内容に基づいて各画素回路についてのプリチャージ電圧の分布（例えば、各画素回路毎のプリチャージ電圧の行方向または列方向の勾配）を検出し、その分布に基づいて各画素回路についてのプリチャージ電圧を段階的に変えるとしても勿論良い。

【0047】

【C. 変形】

以上、本発明を実施するための最良の形態について説明した。しかしながら、以上に説明した実施形態を以下のように変形しても良いことは勿論である。

【0048】

（C-1：変形例1）

上述した実施形態では、表示装置の工場出荷時に各画素回路を駆動させプリチャージ電圧を特定しておく態様について説明した。しかしながら、工場出荷以降に任意のタイミングで上述したプリチャージ電圧の特定を表示装置に行わせるようにしても良いことは勿論である。その一例としては、表示装置の電源が投入された時に各画素回路を駆動しプリチャージ電圧を特定することが挙げられる。このようにすると画素回路に含まれている駆動トランジスタが経年劣化しその閾値電圧が工場出荷時点から変化した場合であっても、その時点の閾値電圧に応じたプリチャージ電圧を特定することができるといった効果を奏する。

【0049】

また、実際に画像表示を行っている状況下で、各画素回路について随時上記キャリブレーションを行い、その都度プリチャージ電圧を特定するとしても勿論良い。その一例としては、図8に示すように、表示マトリクス部200の温度を検出する温度検出手段410eを設け、この温度検出手段410eにより所定の幅を超える温度変化が検出された場合には、上記キャリブレーションを行い、その時点の閾値電圧に応じたプリチャージ電圧を特定することが挙げられる。一般に、画素回路の駆動時には、その画素回路の温度が上昇し、駆動トランジスタの閾値電圧が変化してしまう（図9参照）。このように、駆動トランジスタの温度の上昇に付随して閾値電圧が変化した場合であっても、上記温度検出手段410eを設けておくことによって、その時点の閾値電圧に応じたプリチャージ電圧を特定することができるといった効果を奏する。

【0050】

（C-2：変形例2）

上述した実施形態では、全ての画素回路の各々を駆動させて各画素回路毎に固有なプリ

チャージ電圧を特定する場合と、全ての画素回路についてのプリチャージ電圧の分布に基づいてプリチャージ電圧を段階的に変化させてプリチャージを行う場合について説明した。しかしながら、表示マトリクス部200に含まれている全ての画素回路についてキャリブレーションを行うのではなく、その一部についてキャリブレーションを行い、上記分布を求めるとしても良い。その一例としては、表示マトリクス部200内である1行を選び、その行に属する画素回路についてのみキャリブレーションを行って各データ線に現れた電圧の平均（例えば、相加平均）をその行に属する全ての画素回路についてのプリチャージ電圧として特定する態様が挙げられる。このようにすると、各データ線に現れた電圧に含まれているキャリブレーション誤差が低減するといった効果が得られる。

【0051】

また、図10に示されているように、表示マトリクス部200内で1または複数の行（または列）を選び、その行（または列）に属する画素回路についてのみ上記キャリブレーションを行って、その画素回路の各々についてプリチャージ電圧を特定し、その電圧分布に基づいて上記プリチャージ電圧を最適化するとしても勿論良い。このようにすると、表示マトリクス部200内の全ての画素回路についてキャリブレーションを行う場合に比較して、その所要時間を短縮するとともに、その特定結果の記憶に要する記憶容量を削減することができるといった効果を奏する。また、上記表示マトリクス部200の行方向についてキャリブレーションを行う場合（図10のa、bおよびcの各行に属する画素回路についてキャリブレーションを行う場合）には、上記表示マトリクス200内におけるプリチャージ電圧の行方向の勾配を把握することが可能になることに加え、全データ列を一度にキャリブレーションすることが可能になるといった効果を奏する。一方、上記表示領域の列方向についてキャリブレーションを行う場合（図10のd、eおよびfの各列に属する画素回路についてキャリブレーションを行う場合）には、上記表示マトリクス部200内におけるプリチャージ電圧の列方向の勾配を把握することが可能になることに加え、キャリブレーションする列が予め定められているので、ドライバICにかかる負荷が小さくなるといった効果を奏する。なお、上記行方向のキャリブレーションと列方向のキャリブレーションとを組み合わせで行い、表示マトリクス部200全体におけるプリチャージ電圧の分布を求めるとしても良いことは勿論である。

【0052】

（C-3：変形例3）

上述した実施形態では、表示マトリクス部200内に配列されている画素回路110を各々駆動させてプリチャージ電圧を特定する場合について説明した。しかしながら、表示マトリクス部200に配列されている画素回路110とは別にキャリブレーション用の画素回路を上記表示マトリクス部200の外に別途設けておくとしても勿論良い。このようにすると、表示マトリクス部200に配列されている画素回路110がキャリブレーション時にそのキャリブレーション電流に応じた階調で発光することが回避される。これにより、表示品質に影響を与えることなく実際の画像表示とキャリブレーションとを同時に行うことが可能になるといった効果を奏する。具体的には、表示マトリクス部200の外に左右両側またはどちらか片方にキャリブレーション用の画素回路を含んでいるキャリブレーション用領域を設けておくことや、表示マトリクス部200の外に上下両側またはその片方にキャリブレーション用領域を設けておくことが挙げられる。図11には、表示マトリクス部200の左側と下側にキャリブレーション領域を設けておく態様について例示されている。表示領域の外に左右両側またはどちらか片方にキャリブレーション用領域を設けておく態様では、キャリブレーション用の画素回路は全て1本のデータ線を介して1つの単一ラインドライバに接続されているため、キャリブレーション時には、この単一ラインドライバのみを動作させれば良く、ドライバICへかかる負荷を軽減することができるといった効果を奏する。

【0053】

また、表示マトリクス部200の外に上下両側またはどちらか片方にキャリブレーション用領域を設けておく態様の場合、特にその下側に設けておく態様では、以下に述べるよ

うな効果も奏する。図12は、表示マトリクス部200の下側にキャリブレーション領域を設けた場合の構成例を示すブロック図である。ここで注目すべき点は、キャリブレーション用の画素回路はデータ線X_m (m=1、2…M) に接続されていない点である。図12に示す表示装置は、データ線ドライバ400からの出力線L_m (m=1、2…M) をデータ線X_m とキャリブレーション用画素回路とに接続を切り替えるスイッチSW_m (m=1、2…M) を有している。このスイッチSW_m により出力線L_m は、キャリブレーション時にはキャリブレーション用画素回路に接続され、画像表示時にはデータ線X_m に接続される。ここで注目すべき点は、図12に示す表示装置においては、データ線ドライバからキャリブレーション用画素回路へ至る経路が短くなっている点である。このため、データ線の浮遊容量によって電流書き込みに要する時間が長くなる現象が緩和され、キャリブレーションに要する時間を短縮することが可能になるといった効果を奏する。 10

【0054】

更に、以上に説明したキャリブレーション領域を設けておく態様においては、そのキャリブレーション領域に属する画素回路は、発光素子を有しないダミー画素回路であっても良い。これは、上記キャリブレーション領域はプリチャージ電圧の特定のみにより用いられ、画像表示には用いられないものであるからである。また、このような態様においては、キャリブレーション時に上記キャリブレーション領域がそのキャリブレーション電流に応じて発光することが回避されるといった効果も奏する。

【0055】

(C-4：変形例4)

上述した実施形態では、表示パネルなどの表示装置に本発明を適用する場合について説明した。これは、本発明を大型表示パネルなどに適用し、その結果特定されたプリチャージ電圧でプリチャージを行うことによって、前述した書き込み不足による表示画質の劣化が回避されるとともに、書き込み時間が短縮化して高速駆動を実現することが可能になるといった顕著な効果を奏するからである。しかしながら、本発明は、大型表示パネルのみならず、例えば携帯電話機やモバイル型のパーソナルコンピュータ、デジタルスチルカメラ等の種々の電子装置に適用することができる。 20

【図面の簡単な説明】

【0056】

【図1】 本発明に係る表示装置の構成例を示すブロック図である。 30

【図2】 同表示マトリクス部とデータ線ドライバの内部構成を示すブロック図である。

【図3】 同単一ラインドライバ410の基本構成を示すブロック図である。

【図4】 同単一ラインドライバ410の具体的な構成を示すブロック図である。

【図5】 同単一ラインドライバ410の動作を示すタイミングチャートである。

【図6】 同コンパレータへの入力信号と出力信号との関係を示す図である。

【図7】 同単一ラインドライバ410の動作を示すタイミングチャートである。

【図8】 変形例1に係る単一ラインドライバの構成例を示す図である。

【図9】 駆動トランジスタの温度—閾値電圧特性の一例を示す図である。

【図10】 変形例2に係るプリチャージ電圧の特定方法を説明するための図である。

【図11】 変形例3に係るプリチャージ電圧の特定方法を説明するための図である。 40

【図12】 変形例3に係る表示装置の構成を説明するための図である。

【図13】 有機EL素子を用いた表示装置の一般的な構成を示すブロック図である。

【図14】 同画素回路110の回路構成の一例を示す回路図である。

【図15】 同画素回路110の通常の動作を示すタイミングチャートである。

【図16】 プリチャージ電圧のずれによる影響を説明するための図である。

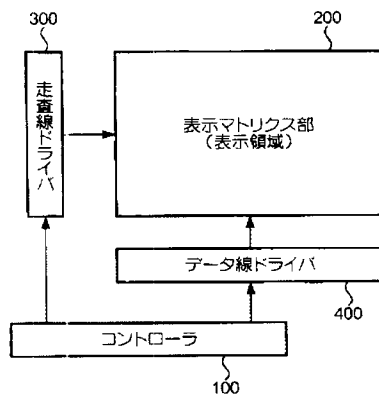
【符号の説明】

【0057】

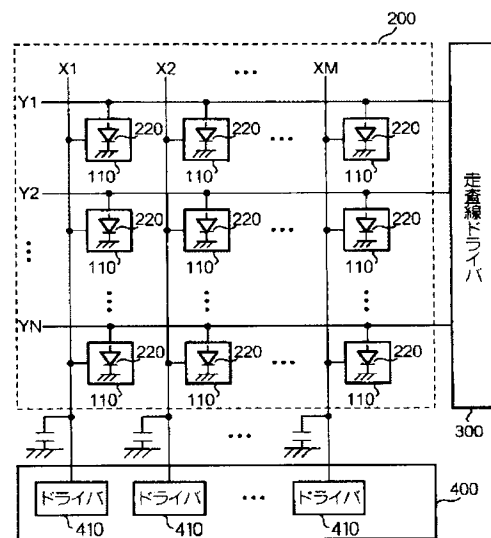
100…コントローラ、110…画素回路、120、200…表示マトリクス部、130、300…走査線ドライバ、140、400…データ線ドライバ、211…第1のトランジスタ、212…第2のトランジスタ、213…第3のトランジスタ、214…第4のト 50

ランジスタ（駆動トランジスタ）、220…有機EL素子、230…保持キャパシタ、410…単一ラインドライバ、410a…書き込み電流供給手段、410b…プリチャージ電圧発生手段、410c…電圧測定手段、410d…制御手段、410e…温度検出手段。

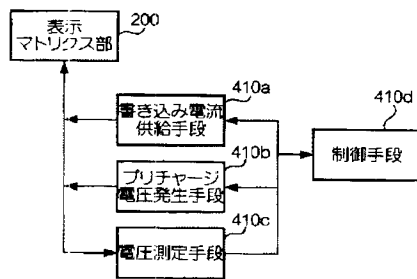
【図1】



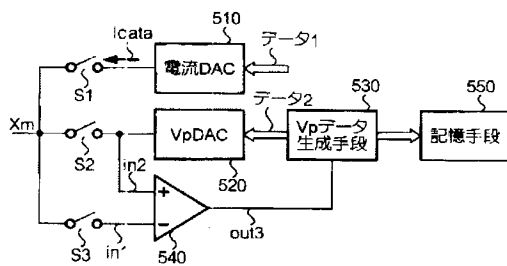
【図2】



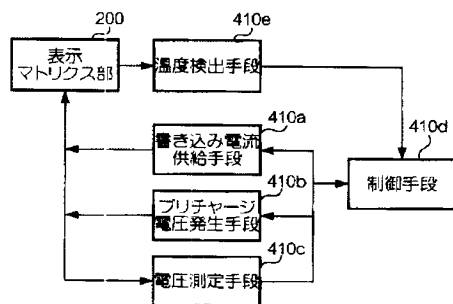
【図 3】



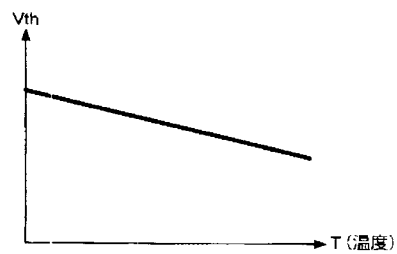
【図 4】



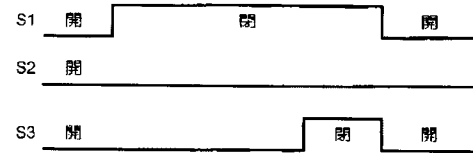
【図 8】



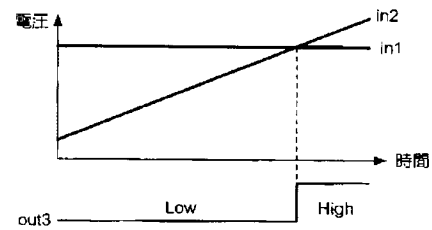
【図 9】



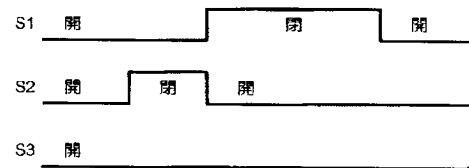
【図 5】



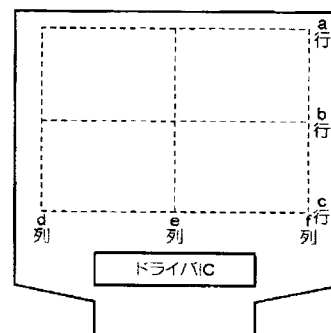
【図 6】



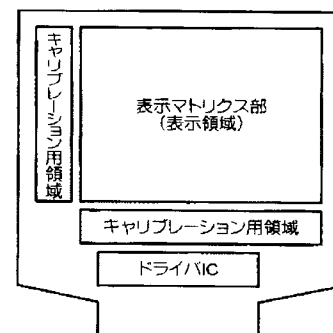
【図 7】



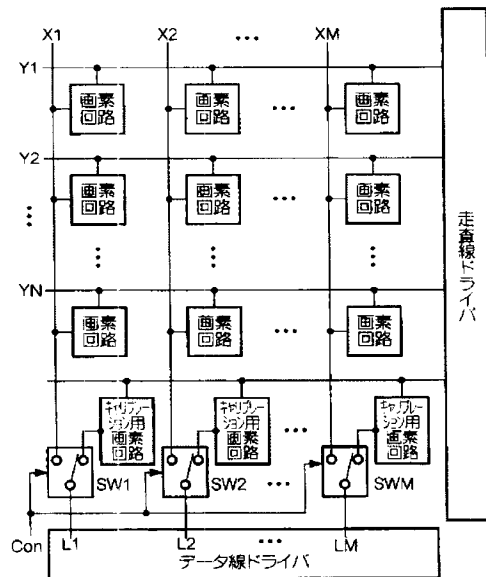
【図 10】



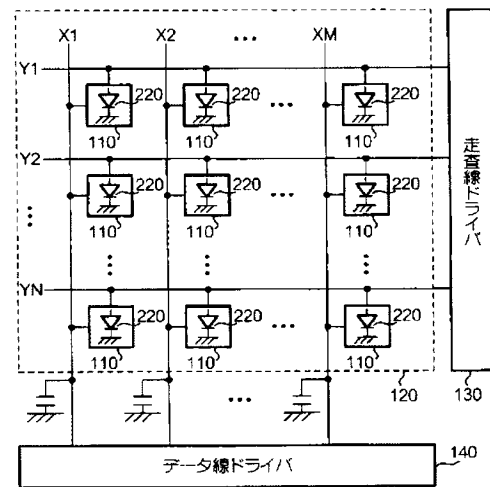
【図 11】



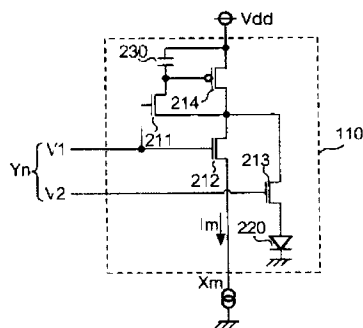
【図 1 2】



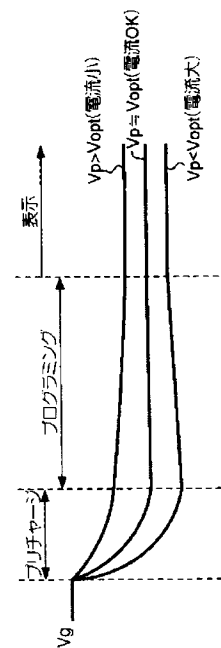
【図 1 3】



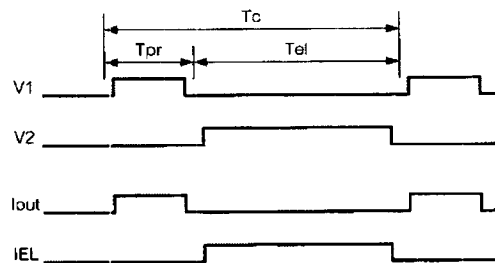
【図 1 4】



【図 1 6】



【図 1 5】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 4 2 P

G 0 9 G 3/20 6 7 0 D

H 0 5 B 33/14 A